

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—4285

⑮ Int. Cl.³
H 01 L 29/91
29/06
29/74

識別記号

厅内整理番号
6749—5F
7514—5F
6749—5F

⑯ 公開 昭和56年(1981)1月17日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ プレーナ型半導体装置の製造方法

⑮ 特 願 昭54—79661

⑯ 出 願 昭54(1979)6月26日

⑰ 発明者 歌川忠

川崎市幸区小向東芝町1 東京芝浦電気株式会社総合研究所内

⑮ 発明者 新井春江

川崎市幸区小向東芝町1 東京芝浦電気株式会社総合研究所内

⑯ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑰ 代理人 弁理士 則近憲佑 外1名

明細書

1. 発明の名称 プレーナ型半導体装置の製造方法

2. 特許請求の範囲

(1) 第1の導電型半導体基体に絶縁膜をマスクとして第2の導電型の不純物を選択的に拡散してP N接合を形成するプレーナ型半導体装置の製造方法において、前記半導体基体上に前記不純物の拡散係数が前記半導体基体中より大きい第1の絶縁膜を形成する工程と、該第1の絶縁膜上に前記不純物の拡散係数が前記半導体基体中より小さい第2の絶縁膜を形成する工程と、該工程後に前記第1の絶縁膜及び前記第2の絶縁膜に前記不純物を拡散すべき開口部を形成する工程と、該開口部を含む前記第2の絶縁膜上に前記不純物を含む多結晶或いは非晶質半導体層を形成する工程と、該半導体層に含む不純物を熱処理を施して前記半導体基体に拡散してならかな湾曲面を有するP N接合を形成する工程とを具備してなるプレーナ型半導体装置の製造

方法。

(2) 第1の絶縁膜が二酸化シリコン膜で、第2の絶縁膜が窒化シリコン膜で、不純物がガリウムであることを特徴とする前記特許請求の範囲第1項記載のプレーナ型半導体装置の製造方法。

3. 発明の詳細な説明

本発明は選択拡散を利用したプレーナ型半導体装置の製造方法に関する。

一般に選択拡散によつて形成されるプレーナ型構造の半導体装置は、ノサ型構造の半導体装置に比べ降伏破壊電圧が低いとされている。この理由はプレーナ型構造の場合、拡散によつて形成される湾曲したP N接合部において屈曲点が形成され、その屈曲点に電界が集中する為である。この理由を第1図を参照して具体的に説明する。この第1図はプレーナ型半導体装置の基本的な構造を示す構成断面図で、N型半導体(Si)基体11上に開口部12を有する絶縁膜例えば窒化シリコン(Si₃N₄)膜13を設け、このSi₃N₄膜13をマスクとして上記開口部12より例えばガリウム(Ga)を拡散してP型半

(1)

(2)

導体層14を形成して湾曲するP-N接合15を形成したものである。この第1図から明らかのように湾曲するP-N接合部15で屈曲点15aが形成される。この屈曲点15aを有するP-N接合に逆方向電圧を印加すると、上記屈曲点15aに電界が強くかかり、小さな降伏電圧で破壊してしまう。特に接合が浅い場合は、所定の降伏電圧より著しく低い電圧で破壊する。このようなブレーナ構造における降伏電圧の低下は、特定の使用目的では不利である。一例あげると、低損失ブレーナ型ダイオードにおいては、順方向電圧(V_f)を低くする為にN型半導体基板上にエピタキシャル成長により形成するN型半導体層を極力薄くして置き、そしてこの半導体層に拡散してP型半導体層を形成した後の降伏破壊電圧をより大きくする必要がある。例えばP-N接合が所定の降伏破壊電圧を有するようにする為に、半導体層の比抵抗と厚み、接合の深ささらには拡散不純物濃度をより制御した。しかし上記したP-N接合部の屈曲点における電界集中の影響があり、末だ満足した降伏破壊電圧が得られない

(3)

という問題があつた。

そこで従来拡散マスクとなる絶縁膜を2層構造とし、上記したP-N接合部における屈曲点をなくす方法が、例えば特公昭50-11230号公報によつて知られている。この方法を第2図を参照して説明する。この第2図は第1図に対応して説明する為に、特公昭50-11230号公報に示す例えば第3図と少し異なる断面図である。まずN型半導体(Si)基体11上に開口部12を有する第1の絶縁膜例えは二酸化シリコン(SiO₂)膜26を設け、このSiO₂膜26上に第2の絶縁膜例えはSi₃N₄膜13を設け、このSi₃N₄膜13をマスクとして上記開口部12より例えはGaを拡散してP型半導体層14を形成してP-N接合15を形成したものである。このようにしてGaを拡散すると、P-N接合部15に屈曲点を有しないブレーナ型半導体装置を得ることができる。この理由は、半導体基体11と第2の絶縁膜13との間に設けた第1の絶縁膜26即ちSiO₂膜中のGaの拡散係数が、半導体基体11中のGaの拡散係数に比べ大きい為である。即ちGaが直接半導体基体11中に

(4)

拡散するのと、SiO₂膜26の側方（開口部の部分の露出面）から侵入してそのSiO₂膜26から半導体基体11中に拡散するのがあり、ましてGaの拡散係数が半導体基体中よりSiO₂膜中の方が大きいので、深さ方向の拡散距離より横方向の伸びりが大きくなり、結果第2図に示すように屈曲点のないブレーナ型半導体装置を得ることが可能となる。なお第2図に示す第2の絶縁膜13は、Gaの拡散係数の小さいものでなければならない。

しかしながら上記の方法でブレーナ型半導体装置を得る場合、上述したようにP-N接合部に屈曲点の有しないようにできるが、満足した降伏破壊電圧を得る迄には至らなかつた。さらに上記の方法例えはN型半導体基体11上に、開口部12を有するSiO₂膜26及びSi₃N₄膜13を形成し、Ge-Gaを拡散源としてGaを拡散して屈曲点を有しない極く薄いP-N接合15を形成し、その上から第3図の如くアルミニウム(A1)電極37を設けてブレーナ型半導体装置を得る訳であるが、上記A1電極37をオーミック接觸するように合金化せしめる際、半導体基体

(5)

11中にAlが拡散し、上記で形成したP-N接合15を変えてしまう。まして半導体(Si)基体に対しAlは上記Gaより拡散係数が大きい為、第3図の一点線35の如くP-N接合を変形してしまい、結果的に屈曲点35aを有するP-N接合を形成してしまう。またAlを合金化する際、第3図の点線35'の如くスパイク状にAlが拡散したりしてしまう。

本発明は上記した点に鑑みなされたもので、屈曲点を有しないP-N接合を構成し降伏破壊電圧の大きいブレーナ型半導体装置の製造方法を提供するものである。

即ち本発明は半導体基体上に開口部を有する不純物拡散係数の大きい第1の絶縁膜と不純物拡散係数の小さい第2の絶縁膜を順次形成し、そして上記開口部を含む第2の絶縁膜上に拡散すべく不純物を含む多結晶或いは非晶質半導体層を形成して、上記不純物を半導体基体中に拡散せしめ、そして上記半導体層をそのまま電極として用いるようにしたブレーナ型半導体装置である。

以下図面を参照して本発明の一実施例を説明す

(6)

る。第4図(a)～(d)は本発明の一実施例の製造工程を説明するための工程断面図である。まずN型81基体41を用意し、このN型81基体41上にシランの熱分解法或いは熱酸化法等の公知の方法によりSiO₂膜46を3000 Å～4000 Åの厚さに一様に形成し、この上にシラン-アンモニアの化学蒸着法(CVD法)により1000Å位の厚さのSi₃N₄膜43を第4図(a)の如く形成する。このSi₃N₄膜43上にフォトレスト膜48を塗布し、このフォトレスト膜48を写真蝕刻法により選択的に除去する。そしてこのフォトレスト膜48を選択的に除去した状態のウェハを、マイクロ波励起によるドライエッティング装置内に挿入し、ガスプラズマにより露出しているSi₃N₄膜43及びその下のSiO₂膜46をドライエッティングして開口部42を第4図(b)の如く形成し、N型81基体41を露出する。次にフォトレスト膜48を除去し、上記開口部42を含むSi₃N₄膜43上にCVD法によりGaを含む多結晶81層49を第4図(c)の如く形成する。この後H₂ガス或いはN₂ガス雰囲気中で加熱処理を施し、多結晶81層49に含むGaをN

(7)

(8)

このようにして得られたブレーナ型半導体装置は、PN接合部に屈曲点を有しない為、そのPN接合に逆方向電圧を印加しても電界が集中する所なく、ノサ型半導体装置とはほぼ同じ降伏破壊電圧を得ることができる。しかもGaを含む多結晶81層49をそのまま電極として用いる為、製造工程が減少し留歩りを向上せしめることができる。例えばAl層を電極として用いる場合、Ge-Gaを拡散源としてGaを拡散した後に、開口部の81基体露出面を洗浄する工程、Alを蒸着する工程、オーム接觸にする為に加熱処理する工程等が必要となるが、本発明の如く多結晶81層を用いれば上記の工程が全く必要としない。さらに上記した方法によつてブレーナ型半導体装置を得ると次のような作用効果を有する。

- (1) P型半導体層所謂る拡散深さを制御しやすくなり、薄い拡散層を得ることができる。
- (2) 不純物濃度を削除しやすくなり、例えば気相状態で拡散するより均一な不純物濃度分布を得ることができる。

(9)

(10)

型81基体41中に拡散して、P型半導体層44を形成し、なだらかな湾曲を有するPN接合45を第4図(d)の如く形成する。なおこの場合、多結晶81層中に含むGaは、SiO₂膜46中に開口部に露出面より侵入ししかも81基体より数倍の早さで侵入する。そしてSiO₂膜46に侵入したGaは、その直下の81基体41中に拡散する。この為、PN接合45は屈曲点を有しないなだらかな湾曲を有するようになる。例えば加熱処理を1150°Cで30分間行うと、多結晶81層49中のGaは、N型81基体41中に約5μm進むのに対し、SiO₂膜46の横方向には約12μm進む。そのSiO₂膜46中のGaがN型81基体41中に拡散すると、開口部より約12μmの所定PN接合を有するようになる。またGaを含む多結晶81層49は、拡散時の熱処理で81基体と密着し、P型半導体層44とオーム接觸をなすようになる。以上のようにしてブレーナ型半導体装置を得る。なお第4図(d)以降において例えばN型81基体への電極形成などがあるが、本発明において直接関係ない為省略した。

(3) 製造工程途上で開口部の81基体表面にダメージが入るのを少なくできる。

(4) オーム接觸得る時の熱処理時に81基体に対しAlがスパイク状に入るのを防止できる。

(5) 多結晶81層を電極兼用する他にP型半導体層の一部としても兼用でき、P型半導体層を薄くすることができる。

以上の作用効果を有する他、本発明者等の実験によれば、Gaの拡散マスクとして用いたSi₃N₄膜を50～60μm位の深い拡散層を得る場合にも用いきくことができるようになったことである。

次に本発明の方法を低損失ブレーナ型ダイオードに適用した場合について、第5図を参照して説明する。なお図中第4図と同じ符号は同じ物であつて、その形成方法も同じである。まずN型81基板41aに気相成長により厚さ20μm、比抵抗4ΩcmのN⁻層81層41bを形成し、81基体41を得る。後は第4図の工程と同じである。このようにして得られた低損失ブレーナ型ダイオードの降伏破壊電圧は、240V～250Vであつて、理論値(約250

V) とほぼ同一であつた。なお第1図のようなブレーナ型ダイオードを得た場合は、降伏破壊電圧が180V～200Vであつた。

以上説明した実施例においては、PN接合ダイオードの製造方法について説明したが、本発明の方法はダイオードの製造方法だけでなく、一般的のブレーナ型半導体装置例えばブレーナ型トランジスタ、ブレーナ型サイリスタ、ブレーナ型ゲートターンサイリスタ等に適用できることは勿論である。また第1及び第2の絕縁膜も特許請求の範囲に含むものであれば良く、拡散すべく不純物もGaに限定されるものでもない。さらに拡散すべく不純物を含む多結晶半導体の代りに、非晶質半導体層を用いても良く、その製法もCVD法に限らず蒸着法などを用いても良い。但し非晶質Si層を用いた場合、この非晶質Si層は拡散時の熱処理で多結晶化する可能性がある。

4. 図面の簡単な説明

第1図及び第2図は従来のブレーナ型半導体装置の製造方法を説明する為の断面図、第3図は第

2図に示すブレーナ型半導体装置の問題点を説明する為の断面図、第4図(a)～(d)は本発明の一実施例を説明する為の工程断面図、第5図は本発明の方法を低損失ブレーナ型ダイオードに適用した場合の断面図である。

41：N型半導体(Si)基体、42：開口部、
43：Si₃N₄膜、44：P型半導体層、
45：PN接合、46：SiO₂膜、
48：フォトレジスト膜、49：Gaを含む多結晶Si層。

代理人 弁理士 則 近 恵佑
(ほか1名)

